

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-226151

(43)Date of publication of application : 20.09.1988

(51)Int.Cl.

H04L 11/20

(21)Application number : 62-128439

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.05.1987

(72)Inventor : TOMINAGA SUSUMU
NOJIMA SATOSHI
TSUTSUI HIDEKAZU
KANOUCHI JUNICHI
FUKUDA HARUKI

(30)Priority

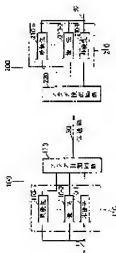
Priority number : 61244392 Priority date : 15.10.1986 Priority country : JP

(54) MULTIPLE PACKET COMMUNICATION SYSTEM

(57)Abstract:

PURPOSE: To improve transmission efficiency by providing a packet memory corresponding to each of the priority given to each packet, on both a transmission system and a reception system.

CONSTITUTION: When a second packet whose priority is high is inputted from an input signal line 11, and written to a memory 110-n, a transmission system 100 suspends the transmission of a first packet, and starts the transmission of a second packet. In this case, a flag adding circuit 120 adds a packet delimiting flag to the second packet and sends it out to a transmission line 30. A reception system 200 detects its flag by a flag detecting circuit 220, suspends write and read-out to and from the memory 210-1 of the first packet which is receiving, and writes the second packet to a memory 210-n. Also, it is read out and sent out to an output signal line 22. Subsequently, the remaining part of the first packet which has been suspended is read out of the corresponding memory 110-1, and its transmission is started continuously after the regular flag of a termination of the second packet. In such a way, the transmission efficiency can be improved.



④ 日本国特許庁 (J P) ⑤ 特許出願公開
④ 公開特許公報 (A) 昭63-226151

⑥ Int. Cl. ⑦ 識別記号 ⑧ 国内整理番号 ⑨ 公開 昭和63年(1988)9月20日
H 04 L 11/20 1 Q 2 A-7830-SK

審査請求 有 発明の数 1 (全21頁)

① 発明の名称 多重パケット通信システム
② 特 願 昭62-128439
③ 出 願 昭62(1987)5月27日
優先権主張 ④ 昭61(1986)10月15日 ⑤ 日本(J P) ⑥ 特願 昭61-244392
⑦ 発 明 者 富 永 進 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
⑧ 発 明 者 野 島 聡 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
⑨ 発 明 者 筒 井 英 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
⑩ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
⑪ 代 理 人 弁護士 青木 朗 外3名
最終頁に続く

明 書

1. 発明の名称
多重パケット通信システム
2. 背景技術の説明
1. 伝送路 (20) を介し、送信系 (100) から受信系 (200) へ、データが優先順位を有する一連のパケットを多重化して伝送する多重パケット通信システムにおいて、
前記送信系 (100) では、各前記優先順位に対応したパケットを蓄え込むメモリ (110-1~110-n) からなるパケットメモリ (110) と、各前記パケットに対し識別フラグ (F) またはパケット区切りフラグ (1 F) を付加するフラグ付加回路 (120) とを備え、前記メモリ (1) から読み出した前記パケットの伝送中に、これより優先順位の高い前記パケットが発生したとき、前記1のパケットの伝送を中断するとともに、前記パケット区切りフラグ (1 F) を付加して前記第2のパケットを送信し、
前記受信系 (200) では、前記送信系 (100) から

送信されたパケットに付加される前記識別フラグ (F) またはパケット区切りフラグ (1 F) を識別するフラグ識別回路 (220) と、受信した前記パケットをその優先順位に対応して蓄え込むメモリ (210-1~210-n) からなるパケットメモリ (210) とを備え、前記パケット区切りフラグ (1 F) を検出したときは前記第1のパケットの受信を中止して前記第2のパケットの受信を開始し、
前記受信系 (100) では、前記第2のパケットの受信完了とともに前記識別フラグ (F) を付加して前記第1のパケットの残りの部分を送信再開し、
前記受信系 (200) では、前記識別フラグ (F) の検出により、前記1のパケットの残りの部分を受信再開することを特徴とする多重パケット通信システム。
3. 前記送信系 (100) は、各前記パケットをその優先順位に対応した前記メモリ (110-1~110-n) に蓄え込む入力選択部 (130) と、前記第1の前記メモリ (110-1~110-n) よりパケットを読み出す出力選択部 (140) と、パケットの蓄え込みおよび検出に

(1)

(2)

新規格 63-226151 (2)

を制御する出力制御部 (140) と、前記第 2 のパケットにより送信が中断される前記第 1 のパケットの後送処理を、送信側のパケットの送信再開に備えて行進させる記憶部 (150) とを有し、

前記受信部 (200) は、受信パケットをその優先順位に付した前記メモリ (210-1~210-n) に書き込む入力選択部 (220) と、前記第 1 のパケットメモリ (210-1~210-n) よりパケットを読み出す出力選択部 (240) と、パケットの送信および搬送を制御する入力制御部 (240) と、前記第 2 のパケットにより受信が中断される前記第 1 のパケットの再送信を、前記第 1 のパケットの受信再開に備えて行進させる記憶部 (250) とを有する待受け搬送の制御第 1 項記載の通信システム。

3. 前記送信部 (190) において、前記メモリ (110-1~110-n) が FIFOPreFirst In First Outメモリ (111-1~111-n) であり、前記受信部 (200) において、前記メモリ (210-1~210-n) が FIFOPreメモリ (211-1~211-n) である待受け搬送の前記第 2 項記載の通信システム。

(5)

4. 前記受信部 (200) において、前記入力選択部 (220) は、前記 FIFOPreメモリ (211-1~211-n) に付した優先度クロック (WC) の供給または供給停止を制御する優先度クロックゲート (232) と、受信したパケットの優先順位を検出して対応する 1 の優先度クロックゲート (232) を開とするデコード (233) とからなり、

前記出力制御部 (240) は、前記パケットに宛てたフラグ (IF) の受信により、前記第 2 のパケットの後送処理を前記記憶部 (250) に行進させ、また前記優先度クロック (WC) を生成する入力制御部 (241) と、前記 FIFOPreメモリ (211-1~211-n) 内のパケットの有無を表示するパケット有無信号 (PR) を受けて、優先度順の高い前記 FIFOPreメモリ (211-1~211-n) に搬出シクロック (RC) を送出する出力制御部 (242) とからなり、

前記出力選択部 (240) は、前記出力制御部 (242) に制御されて、対応する 1 の前記 FIFOPreメモリ (211-1~211-n) に搬出シクロック (RC) を送出する搬出シクロックゲート (261) からなる待

4. 前記送信部 (190) において、前記入力選択部 (191) は、搬出シクロック (WC) を生成する入力制御部 (191) と、搬出シクロック (WC) の前記 FIFOPreメモリ (111-1~111-n) への供給または供給停止を制御する搬出シクロックゲート (132) と、前記パケット内の前記優先順位を検出して対応する 1 の搬出シクロックゲート (132) を開とするデコード (133) とからなり、

前記出力選択部 (160) は、前記 FIFOPreメモリ (111-1~111-n) に対応した搬出シクロックゲート (161) からなり、

前記出力制御部 (140) は、前記 FIFOPreメモリ (111-1~111-n) 内のパケットの有無を表示するパケット有無信号 (PR) を受けて、前記優先度順の高い前記 FIFOPreメモリ (111-1~111-n) に対応した前記搬出シクロックゲート (161) を開とするときに記憶部 (150) への優先度順の行進を行い、開になった搬出シクロックゲート (161) を通じて搬出したシクロック (RC) を前記 FIFOPreメモリに搬送する待受け搬送の前記第 3 項記載の通信システム。

(4)

前記の範囲第 3 項記載の通信システム。

6. 前記送信部 (190) において、前記フラグ付制御部 (191) は、通常フラグ発生部 (121) およびパケット区切りフラグ発生部 (122) であり、前記出力制御部 (141) の初期のもとに、前記通常フラグ (FR) または前記パケット区切りフラグ (IF) を前記パケットに付加する待受け搬送の前記第 4 項記載の通信システム。

7. 前記受信部 (200) において、前記フラグ検出部 (220) は、前記通常フラグ (FR) およびパケット区切りフラグ (IF) をそれぞれ検出する通常フラグ検出部 (221) およびパケット区切りフラグ検出部 (222) とからなり、これらの通常フラグ検出部 (FR) およびパケット区切りフラグ検出部 (IF) を前記入力制御部 (241) (242) にて受信する待受け搬送の前記第 5 項記載の通信システム。

8. 前記優先順位を前記パケットのヘッダ (H) 内に書き込んだときに、論理チャネル番号制御部 (180) にて、有線優先順位を設定する待

(5)

(6)

特許第 63-226151 (3)

増設の記憶第 1 項記憶の通信システム。

8. 前記通信系 (160)において、前記メモリ (110-1〜110-6)は、RAM(Random Access Memory) (111)のメモリセルに分割したメモリ領域からなり、前記受信部 (200)において、前記メモリ (210-1〜210-6)はRAM部 (213)のメモリセルに分割したメモリ領域からなる特許請求の範囲第 2 項記憶の通信システム。

10. 前記通信系 (160)において、前記入力選択部 (155)は、各前記分割メモリ領域をワイヤリングにアクセスして書き込みを行う入力ポインタグループ部 (135)からなるとともに、入力ポインタグループ部 (135)内に、優先して送信すべき前記第 1 のパケットの優先順位および送信すべき前記第 1 のパケットの優先順位を格納し、該優先順位に従って対応する 1 の前記分割メモリ領域を指定する入力側優先順位格納レジスタを有する。

前記入力選択部 (155)は、各前記分割メモリ領域をワイヤリングにアクセスして送出しを行う出力ポインタグループ部 (162)からなるとともに、

(7)

優先すべき前記第 2 のパケットの優先順位および送信すべき前記第 1 のパケットの優先順位を格納し、該優先順位に従って対応する 1 の前記分割メモリ領域を指定する出力側優先順位格納レジスタを有する特許請求の範囲第 3 項記憶の通信システム。

12. 前記通信系 (160)において、前記出力制御部 (140)は出力制御装置 (143)からなり、前記フラグ付加部 (120)は通信フラグ発生部 (121)およびパケット区切りフラグ発生部 (122)よりなり、前記出力制御装置 (143)は前記出力ポインタグループ部 (162)およびRAM部 (113)を制御しながら、これらのフラグ発生部 (121, 122)からの出力フラグをパケットに付加する特許請求の範囲第 4 項記憶の通信システム。

13. 前記通信系 (200)において、前記フラグ抽出部 (220)が、前記通信フラグ (F)を抽出する通信フラグ抽出部 (224)および前記パケット区切りフラグ (I F)を抽出するパケット区切りフラグ抽出部 (225)からなり、

(8)

出力ポインタグループ部 (162)内に、優先して送信すべき前記第 2 のパケットの優先順位および送信すべき前記第 1 のパケットの優先順位を格納し、該優先順位に従って対応する 1 の前記分割メモリ領域を指定する出力側優先順位格納レジスタを有する特許請求の範囲第 5 項記憶の通信システム。

14. 前記通信系 (200)において、前記入力選択部 (235)は、各前記分割メモリ領域をワイヤリングにアクセスして書き込みを行う入力ポインタグループ部 (237)からなるとともに、入力ポインタグループ部 (237)内に、優先して送信すべき前記第 2 のパケットの優先順位および送信すべき前記第 1 のパケットの優先順位を格納し、該優先順位に従って対応する 1 の前記分割メモリ領域を指定する入力側優先順位格納レジスタを有する。

前記入力選択部 (235)は、各前記分割メモリ領域をワイヤリングにアクセスして送出しを行う出力ポインタグループ部 (263)からなるとともに、前記出力ポインタグループ部 (263)内に、優先して

(9)

前記入力選択部 (230)の一部をなし、前記入力ポインタグループ部 (237)および前記RAM部 (213)を制御する入力制御装置 (236)に別し、前記フラグ抽出部 (224, 225)からの抽出フラグを伝達する特許請求の範囲第 1 項記憶の通信システム。

3. 発明の詳細な説明

(要 要)

送信系と受信系の双方は、各パケットに付される優先順位の各々に対応したパケットメモリを有し、第 1 のパケットの送信中であってこれを中断させて、第 2 の優先順位の高い第 2 のパケットを先行して送信し、その後第 1 のパケットの残りの優先順位を再評価するとともに、優先度から第 2 のパケットを優先したとき、第 1 のパケットの送信を中断させて第 2 のパケットを先行して送信し、その後第 1 のパケットの残りの優先順位を再評価することにより、第 2 のパケットについては自動的に伝送可能とするのみならず、第 1 のパケットについてはその再送を不要とし、伝送途中の向上が

(10)

当欄402-226151(B)

本説明は上記諸問題を避けるための手段で、優先順位の低いパケットは遅延的に送信し、この優先順位の低いパケットにより遅延された優先順位の低いパケットについては再送することを要しないようにし、伝送効率の低い多量パケット送信システムを提供することを目的とするものである。

【問題点を解決するための手段】

第1図は本発明に係る多量パケット送信システムの取得構成を示す図である。本図において、100 は送信機、200 は受信機であり、これらは伝送路3によって接続される。送信機100では、人力符号第1より供給されるパケットを一時記憶する送信機パケットメモリ110を備える。このパケットには、予め定められた(1)の優先順位値の1つを付与する。優先順位値に対応したメモリ(110-1、110-2…110-n)に書き込まれる。これらのメモリ(110-1、110-2…110-n)から読み出された各パケットは、フラグ付加回路120にて所定のフ

ラグが付加されたのち、伝送路3に送信される。一方、受信機200には、上記所定のフラグを識別するためのフラグ抽出回路220が設けられ、検出したフラグに応じて、受信したパケットを、各優先度パケットメモリ210内のいずれかのメモリ(210-1、210-2…210-n)に書き込む。さらに、これを読み出して出力符号第2に送出する。

【作 用】

送信機100で、例えばパケットメモリ110内のメモリ110-1を送信して優先順位の低い第1のパケットを送り出す際、フラグ付加回路120は適当なフラグ(F)を付してこれを伝送路3に送出する。そしてこの第1のパケットを受信機200に送信中に、これより優先順位の高い第2のパケットが人力符号第1より入力され、対応するメモリ、例えばメモリ110-nに書き込まれたとすると、送信機100では上記第1のパケットの送信をその時点で即時に中断し、上記第2のパケットの送信を開始する。このとき、フラグ付加回路120は、

(15)

(16)

この第2のパケットにパケット識別用フラグ(F)を付して伝送路3に送出する。

送信機200では、そのF付きの第2のパケットを受信すると、フラグ抽出回路220でそのFを検出し、これより受信機中の上記第1のパケットのメモリ210-1への書き込みならびに検出しを中断し、その第2のパケットを、対応するメモリ210-nに書き込む。さらにこれを読み出して出力符号第2に送出する。

送信機100において、優先順位の高い上記第2のパケットの送信が完了すると、フラグ付加回路120にて、第2のパケットの検出に連動して(F)を付して伝送路3に送出するとともに、作組していた上記第1のパケットの残りの部分を対応のメモリ110-1より読み出し、第2のパケットの検出の翌々フラグ(F)に宛てて送信開始する。

受信機200では、第2のパケットの検出の翌々フラグ(F)がフラグ抽出回路220で検出すると、中断していた上記第1のパケットの受信を、その

適当なフラグ(F)に引き続いて再開し、対応するメモリ210-1に書き込む。さらにこれを読み出して出力符号第2に送出する。

本説明は以上のよう多量パケットの送信を行うことにより、検出順位の低い第2のパケットにより割り込まれた、優先順位の低い第1のパケットを遅延したり、再送要生したりすることなく、第2のパケットの送信終了後、所定の遅延のみで、第1のパケットの送信を完了させることができる。このため伝送効率は向上し、また、出力符号第2でのトラフィックも低減される。

【実施例】

第2図は本発明に係る多量パケット送信システムの基本構成を示すブロック図である。本図において、人力符号第1より送信機入力選択部110にパケットが入力されると、パケットの優先順位値(1)の順に宛てたメモリ110-1、110-2…110-nに転送される。この優先順位値はランダムに予め設定されるので、各パケットのヘッダ(第

(17)

(18)

15A面のN)内のヘッダ管理として送き込まれる。このヘッダ管理は通常シロN(総管理メモリ)を管理するのである。

入力監視部130により選択された、パケットメモリ110内のメモリ、例えば記憶領域のメモリ110-1にパケットが転送され、書き込まれたとする。メモリ110-1からの送信要求が出力制御部130に伝送される。出力制御部140は、送信要求のあったメモリ110-1と送信側出力監視部100とを接続状態にし、これらを相互に接続せしめる。

一方、出力制御部140に選択された高速メモリ110-1から読み出されたパケットは、出力監視部130に転送される。転送されたパケットに対し、フラグ付加部120は所定のフラグをパケット170に付加し転送路30に送信する。この場合、通常フラグが付与される。これらの制御は、出力監視部140からの指令によりなされる。

さて、ここで優先順位の低い第1のパケットの転送中に上記の例の場合、メモリ110-1からのパケットの転送中、これよりも高い優先順位の

第2のパケット、例えば優先度(表)のパケット第1入力監視部11より入力されたとする。入力監視部130を介して、対応のメモリ110-aに書き込まれる。これと同時に、出力監視部130、中継された第1のパケットの書き込まれた優先度(表)を記憶部150に記憶する。より高い優先順位を持つ第2のパケットの出現によって、出力制御部140は、現在転送中の第1のパケットの送信を中断し、記憶部150内に記憶されている優先度のメモリ110-1を待合せ状態とするとともに、フラグ付加部120は、通常フラグに代え、パケット区切りフラグ170の発生を指示する。これと同時に、優先度優先パケットが書き込まれたメモリ110-aと出力監視部130とを接続する。そして、第1のパケットの転送後に、パケット区切りフラグ170を付加し待合せ状態に維持されると同時に、最優先の第2のパケットの送信を開始する。

最優先の第2のパケットの送信が完了すると、出力監視部140の指示により、フラグ付加部120

(19)

(20)

120に対し再び通常フラグを発生せしめる。これと同時に、記憶部150に待合せ中の優先度(表)の場合(表)を読み出し、待合せ状態にあったメモリ110-1を出力監視部130と再び接続し、その内容(第1のパケット)を、上記の第2のパケットの送信に付される通常フラグの送信終了と同時に送信再開する。

第2例は先例に係る多数パケットの伝送フェーズ1例を示す図である。本図に示すとおり、優先度の低い第1のパケット(データD1)を読み出しに際し伝送優先度の低い第2のパケット(データD2を含む)は、その第1のパケットの前半部分(中継部)と後半部分(中継部)とに分割されて伝送されることになる。

再び第2例に關すると、受信部200では、伝送路より入力された上記第1のパケット(優先度低い)の先頭にあるフラグが通常フラグであることを、フラグ検出部220で検出する。さらに検出した旨を入力監視部240に通知する。

入力監視部240は、パケットメモリ210の中の

対応するメモリ(この場合メモリ210-1)と入力監視部230とを接続し、当該第1のパケットをメモリ210-1内に書き込む。また同時に、入力監視部240は、その優先度の低い優先度監視部250に記憶し、待合せする。

次に、その第1のパケットの受信中に、フラグ検出部220がパケット区切りフラグ170を検出すると、その旨を入力監視部240に通知する。通知を受けた入力監視部240は、記憶部250に記憶された優先度(表)の場合(表)に対応するメモリ210-1を待合せ状態にし、新たに最優先のパケット(伝送の第2のパケット)に対応するメモリ210-aと受信側出力監視部260とを相互に接続する。さらにメモリ210-a内に第2のパケットを書き込む。

その後、第2のパケットの転送に付された通常フラグと、フラグ検出部220で検出すると、これを出力監視部240に通知する。通知を受けた入力監視部240は、記憶部250内に記憶した優先度(表)の場合(表)に対応するメモリ210-1を待

(21)

(22)

特開明3-226151(7)

かせ状態にし、新たな、優先順位の高いパケット（既述の第2のパケット）に対応するメモリ（この場合210-a）と入力選択部230とを相互に接続する。さらにそのメモリ210-eにその第2のパケットを置き込む。

その後、第2のパケットの接続に付されたパケット区切りフラグ1Pを、フラグ抽出部220 によって抽出すると、その値を人力制御部240 に通知する。通知を受けた人力制御部240 伝記部250 内に待機させておいた優先順位の高め出し、対応する待ち状態のメモリ210-f と入力選択部230 とを接続する。これにより、第1のパケットの残りの部分の伝送が再開される。

かくして、メモリ210-1 および210-e に書き込まれたパケットは、優先順位選択部260 によって表一的に読み出された後、出力送信部22に送附され、伝送の処理に供される。このようにして記憶部150 および250 は、例えばRandom Access Memoryにより構成することが出来る。

図4A図は送信系における動作を説明するため

の伝送順序、第4B図は送信系における動作を説明するための伝送順序であり、具体的に出力制御部149(第2図) および入力制御部240(第2図) の動作を元として表す。なお、各状態が①～⑩にて区分して示す。

第4A図の送信系における出力制御部149 の状態遷移図において、先ず①のリセット状態で、外部からのリセット要求によって内部回路がリセットされ初期状態に移れる。

②のアイドル状態で、出力制御部149 がパケットの送出可能となり、宛先選択部よりパケットの送信要求1/要求2が順次するとパケット転送作業のために③の転送状態に移れる。

④の転送状態は実際にパケットを送信するに送信中の状態、パケットを送信した後にフラグ送信のために⑤のフラグ送信状態に移れる。より高い優先順位のパケット送信要求1が来ると⑥のパケット区切りフラグ状態に移れる。

⑦のフラグ送信状態は、パケットの送信終了を示すフラグ転送状態であって、フラグ転送終了後

(15)

(16)

は、多量に転送時（要求1と要求2が同時に発生していた場合）の残りのパケットの転送のために他のパケット区切りフラグ状態に移れる、それ以外状態のアイドル状態に移る。

⑧のパケット区切りフラグ状態は、パケット送信中に優先順位の低い要求1が発生して、送信中のパケットを一時停止させ、要求1のパケットを送るためのパケット区切りフラグを送信中の状態であって、パケット区切りフラグ送信後、即ち要求1のパケットを送信するため⑨の転送状態に移れる。

次に第4B図の受信系における入力制御部240 の状態遷移図について説明する。

先ず①のリセット状態で前記の送信系の出力制御部149 におけるのと同様に初期状態に移れる。

②のアイドル状態は、入力制御部240 において、伝送終了よりパケットを受信可能となっている状態であって、伝送終了よりパケット受信の通知を受けると、パケット受信処理のために③のパケット受信状態に移る。

④のパケット受信状態は、実際にパケットを受信するより受信中の状態であって、パケット受信終了後は、フラグ受信による⑤のフラグ受信状態への遷移と、パケット区切りフラグ受信による⑥のパケット区切りフラグ状態への遷移がある。

⑦のフラグ受信状態は、パケットの受信終了を示すフラグ受信状態であって、フラグ受信終了後、多量に受信時の残りのパケットの受信のために⑧のパケット区切りフラグ状態に移れる。それ以外状態のアイドル状態に移る。

⑨のパケット区切りフラグ状態は、パケット受信中にパケット区切りフラグを受信した状態であり、これを中断し込みと見なして、要求の低いパケットを受信可能にする状態である。パケット区切りフラグ受信後、要求の高いパケット受信のために、⑩のパケット受信状態に移れる。

以下、第2図に示した基本構成の具休例を、第1実施例および第2実施例について説明する。第5図は本発明に基づく第1実施例に係る送信系を示す回路図、第6図は本発明に基づく第2実施例

(25)

(26)

に依る受信系を示す回路図である。なお、両図において、前記したのと略称の機能要素は同一の参照番号を付して示す。

第1実施例(図5および図6)では、パケットメモリ110(第2図)として、FIFO(First In First Out)メモリを用いることを特徴としており、第5図において該パケットメモリ110、210(第5図)として、FIFOメモリ111-1、111-2、…111-nが選択され、第5図においてはFIFOメモリ211-1、211-2、…211-nが選択される。

まず第5図において、入力信号線11からの入力パケットは、抽選チャネル選択(FCN)制御部150に一旦入力され、送信路選択部190を經由して、伝送路制御部に入る。この伝送路制御部(送信路選択部190の右側に配置される制御部)が特に本発明と関連する。すなわち、FCN制御部180および送信路選択部190は、通常のパケット通信にとらわれず必要とされるものである。

FCN制御部180は、入力パケットを逐次取り込むシフトレジスタ182と、シフトレジスタ182

内にパケットを受入れた旨(PR)の通知を併せて解読のタイミング信号を出力する解読回路183と、シフトレジスタ182内に抽選チャネル番号(FCN)がストアされたタイミングで、該FCNを取り込む抽選チャネルグループ184と、該グループ184にてそのFCNに対応する新たな抽選チャネル番号FCN'を決定し決定したと、このFCN'を、今入力中のパケット内のもとのFCNに書き換えるために所定のタイミングでFCN'を送信するFCNグループ184と、FCN'に書き換えるべきタイミングのみ、そのパケットの送信部分(もとのFCNのビット位置)をしゃ断するパケットゲート185とからなる。なお、抽選チャネル番号(FCN、FCN')は、搬送波の周波数ヘッダ(H)情報の一部をなし、交換機に与えることになったFCN'に書き換えられるものであって、パケット送信サービスを実施する上で必要な情報の1つをなす。呼路において抽選チャネルグループ184には入力FCN、出力FCN(上記のFCN')および送信に必要な情報もセットされる。

(27)

(28)

本発明に特に関連する優先順位は、その抽選チャネルグループ184内に設けられFCNと共にセットされる。なお、各パケットの優先順位は、発呼者から被呼者に至るまで常に同じであると見做らず、中継段階ごとに変更されることもある。

前述幾何図に示る輸送の送信経路190では、5挿入とかFCF0挿入とかを行う。6挿入とは、サマホに「1」で連結が破くことを意味し、アラダ(例えば「1111110」)とアラダとの接続をなくすビット操作をいう。FCF0挿入は、第5図のフレームチャックレシオンス(FCF0)の挿入である。

またここで、本発明の主要部である伝送路制御部に入る。送信路選択部190を終ったパケットは、まず入力選択部190内のシフトレジスタ194に入る。前述した抽選チャネルグループ184で宛先が与えられたヘッダ(H)情報内の優先順位はこのシフトレジスタ194よりデコード132に伝達される。パケット全体の質(PR)の通知を受け入れた入力制御回路131は、このデコード132に対し、優先順位をデ

コードすべきタイミングを指示する。このデコードにより、今入力されたパケットの優先順位に対応するFIFOメモリ(111-1〜111-nの1つ)を選択し、これにパケットの内容を書き込む。すなわち、入力制御回路131からの宛先クロック信号φ、デコード132の出力により与えられた1つの選出クロックゲート132を通して、該FIFOメモリに伝達する。各FIFOメモリ111-1〜111-nの内部にパケットが与えられたか否かを表示するバケット有無信号PRを制御に出力する。このバケット有無信号PRは受信する出力制御部166に、第5図において出力制御回路141として示されておき、送信部164と出力選択部164と挿入部170とに伝達する。挿入部170はデコードゲート171および172からなり、デコードゲート171より送信フレイム発生器124およびパケット区切りアラダ発生器132のいずれか一方の出力を源とする。また出力選択部166は選出クロックゲート161からなり、出力制御回路141からの選出クロックPRをいれられそのFIFOメモリ111-1〜111-nに伝達

(29)

(30)

する。

前述のバケットが無関係なF Rは出力制御回路141によって常に監視されており、「バケット返し」とともに通常のフラグを送信181を監視状態とし、伝送路30に通常のフラグを送信し続ける。一方、バケットが無関係なF Rに、1つまたは複数の「バケット再リ」が表示されたとすると、出力制御回路141は一定高の優先順位のパケットをスワップするFIFOメモリ111-1〜111-nからバケットを読み出すべく、読み出しのクロックを必要時FIFOメモリに供給する。読み出したバケットは伝送路30に送出される。このバケットの送信が完了すると、通常のフラグを送信181より通常のフラグを送信路30に送出する。もし、さらに送信するバケットが、他のFIFOメモリ111-1〜111-nに残っていると、これを引き続き読み出し、伝送路30に送出する。

低い優先順位のパケット、例えば優先順位中の第1のバケットをFIFOメモリ111-1より送出し、これより高い優先順位の第2のバケット、例

えば優先順位中のバケットが、対応のFIFOメモリ111-nに送出されたとする。そうすると、出力制御回路141は、バケットを優先順位20として、さらに高い優先順位(図)のバケットが存在することを知り、現在送出し中のFIFOメモリ111-1への送出のクロックを一旦供給停止する。これを同時に、その前出しを中絶された第1のバケットの優先順位(図)を記憶部150に記憶する。そして今度は、読み出しのクロックを、FIFOメモリ111-nに供給し、第2のバケットの送信を開始する。このとき出力制御回路141は、フラグゲート172を開とし、バケット区間のフラグゲートを、その第2のバケットの先頭に付加する。その後継続して第2のバケットをFIFOメモリ111-nより伝送路30に送出する。

優先順位の高い第2のバケットの送信が完了すると、出力制御回路141はフラグゲート172を開とし、通常のフラグを送信路30のバケットの終端に付加し、第2のバケットの送信終了とする。同時に出力制御回路141は、記憶部150をアクセスし、

(31)

(32)

待ち状態の低い優先順位があるときは、これを読み出し、対応するFIFOメモリ(この場合111-1)より、中断されていた第1のバケットの残りの部分を読み出し、伝送路30に送出する。以下、兩者参照して第5図に示される要部でのバケットフォーマットを説明する。

図7 A図は入力データ11上でバケットフォーマット図、第7 B図はシフトレジスタ154の入力でのバケットフォーマット図、第7 C図は優先順位込みのない場合の伝送路30におけるバケットフォーマット図、第7 D図は優先順位込み発生時の伝送路30におけるバケットフォーマット図である。第7 A図において、ヘッダ内の制御部の一部は優先順位が書き込まれており、制御部は送信先を示すデータの種類を書き込む。LCNおよびDは伝送路の制御チャネル番号およびデータ部である。第7 B図において、LCNがLCNに書き込まれる。また優先順位Pも、伝送チャネルグループ(第5図の181)で書き込まれることがある。第7 D図において、優先順位

の高い(例えば図)第2のバケットが、優先順位の低い(例えば図)第1のバケット内に割り込んでいる。

第5図の送信部200において、伝送路30からの受信バケットは、フラグ検出回路220をなす通常のフラグ検出部221とバケット区間フラグ検出部222と、入力選択部230の一部をなすシフトレジスタ234に後列に追加される。アイドル状態では伝送路30上に通常のフラグが送られており、その終が、入力制御部240をなす入力制御回路241に通知され、後に供給を停止する。バケットが伝送路30より受信されると、フラグ検出部221からの通常のフラグ受信通知F Rは停止し、代わりにシフトレジスタ234よりバケット受信通知P Rが人力制御回路241に伝達される。またこれと同時に入力選択部230をなすデコーダ232において、このデコードによりP Rに相当する1つの書き込みクロックゲート232(入力選択部230をなす)が開となり、入力制御回路241からの書き込みクロック

(33)

(34)

図01-1-226151 (6)

が、受信側パケットメモリ210 内の対応する1つのFIFOメモリ211-1~211-8 に格納され、これに受信側パケット番号を付与する。このパケットが優先度の高いパケット（優先度低い）であれば、FIFOメモリ211-1 に書き込む。FIFOメモリ211-1 にパケットが書き込まれると、これよりパケット有無検知フラグが「パケット有り」として、出力制御部240 をなす出力制御回路242 に通知され、対応する出力クロックゲート1281(出力制御部240 含む)を従とする。これにより出力制御回路242 からの送出しクロックが有効となるFIFOメモリ（この場合211-1）に供給され、これよりパケットを抜き出して出力信号線23に送出する。なお、出力信号線23 の途中にある受信側回路290 は第5 回の送信経路190 に対応し、0 挿入の状態となつてFIFO3 の状態を行う。

上述第1 のパケットの受信中に、第2 のパケット（優先度低い）が到着すると、このパケットと、パケット区切りフラグ受信通知128Rが出力制御回路241 に通知され、制御部250 に、中断さ

れた第1 のパケットの優先度値（④）を記憶する。その後、既述の第1 のパケットと同一手段で出力信号線23 に第1 のパケットを送出し、その結果の通常のフラグが送出され221 で再び検出されると、制御部250 内の制御（⑤）をもとにFIFOメモリ211-1 への、第1 のパケットの書き込みを開始する。出力制御部回路242 はFIFOメモリ211-1 からのパケット有無検知P6 が「パケット有り」となっているのを検出して、該メモリ211-1 から第1 のパケットの残りの部分を読み出す。これにより中断した第1 のパケットの送信が再開される。

上記通り実施例ではパケットメモリとしてFIFOメモリを用いたが、以下に述べる第2 実施例ではパケットメモリとしてRAM(Random Access Memory)を用いる。

第5 図は本発明に基づく第2 実施例に係る送受信系を示すブロック図。第5 図は本発明に基づく第2 実施例に係る受信系を示すブロック図である。なお、送受信したものと同一の構成要素には同一の参照番号または記号を付して示す。

(25)

(35)

第5 図における送受信100 の動作原理は第5 図に示した表1：受信側と送受信100 の内部にある制御チャネル番号（LCN）制御部100 と、その出力部にある送信制御部とからなる。このうち送信制御部は以下（190,190）について第5 図に示す例において説明したとおりである。

送信側対応部内における送信側入力選択部130 は、基本的に、入力パケットを送信制御するソフトウェア137 と、ソフトウェア137 にパケットが到着したことにより通知される入力ポインタブル135 を参照する入力制御部136 と、RAM113 へのアドレスの供給または供給停止を行う読み出しアドレスゲート138 とからなる。これらにより、ソフトウェア137 から送出されたパケットは対応するメモリ領域に逐次書き込まれる。到着するメモリ領域は入力パケットの優先順位P1 に応じて定まり、このP1 もRAM113 に入力される。

パケットの送出しは、出力制御部140 をなす出

力制御回路142 からの制御により、出力選択部140 をなす出力ポインタブル143 からの読み出しアドレスを、読み出しアドレスゲート142 を介してRAM113 に与えることにより行う。出力制御部142 は、またフラグ検知回路128 からの通常のフラグまたはパケット区切りフラグ128Fを、フラグゲート171 または172 を制御することにより選択的に出力させる。この点は第1 実施例の場合と全く同じである。

次に第5 図の受信系290 についてみると、図1 第3 図の出口にあるフラグ検知回路224 は同一実施例と同様に通常のフラグ検知回路224 およびパケット区切りフラグ検知回路225 からなる。入力制御部230 は、ソフトウェア225、入力制御部回路236、入力ポインタブル237 および読み出しアドレスゲート238 からなる。このゲート238 からのアドレスに応じて、ソフトウェア225 内のパケットをRAM212 に読み込む。このときどのメモリ領域を選択するかは、ソフトウェア225 より読み取った優先順位P1 で決定する。

(37)

(39)

図10-63-226(51) (1)

入力制御回路240 は出力制御回路244 からなり、発信側出力制御部260 は、制御部244 に制御される出力ポインタテーブル263 と、抽出したアドレスゲート264 とからなり、ゲート264 は、ゲート258 とともに入力制御部240 を含むタイミング制御部245 により開閉制御される。ゲート264 の開によりアドレス指定されたRAM部243 からはパケットが読み出され、該指定受信制御部249 へ送達し出力信号線257 に送達される。

第1 図図中RAM部と入力ポインタテーブルと出力ポインタテーブル間の関係を図解的に示す図である。なお、これらRAM部、ポインタテーブル等は記憶系136 、受信系280 とともに共通である。入力ポインタテーブル135(237)は優先順の①、②に対応する先頭アドレスをセットするものとして、優先度アドレスを1ずつインクリメント（増減）し、次の先頭アドレスになる、また元に戻る。したがって、RAM部113(213)号、各優先度対応に、n個に分割して、各メモリ領域ごとにサイクリックに書き込みアドレスを指定す

ることになる。なお、どの優先度についてアクセスするかは、前述の入力側優先度格納レジスタにより指定される。

一方、出力ポインタテーブル163(253)についても優先度①、②一対に対応する先頭アドレスをセットするとともに、各先頭アドレス1ずつインクリメントし、次の先頭アドレスになる、また元に戻る。したがって、RAM部113(213)号、各優先度対応に、n個に分割して、各メモリ領域ごとにサイクリックに抽出アドレスを指定することになる。なお、どの優先度についてアクセスするかは、前述の出力側優先度格納レジスタにより指定される。また後述するパケット格納テーブルは、RAM部内で、上述のサイクリックな書き込みにより、抽出に書き込んだパケットが新たに入力されたパケットにより上書きされる（書き換え）のを防止するために、各メモリ領域で書き込みパケット後に挿した空欄を確保するための用いる。もしその書き込み領域に空欄がなければ、入力パケットの書き込みを

(38)

(40)

時に禁止することになる。かくして、第2 図図中のRAMは第1 図図例の複数のP/Fメモリと等価に機能することになる。

第1 図図は第1 図図に同様に示す構成を実現する詳細な一実施例を示す図である。したがって図1 1 図の回路例も送信系180 と、受信系280 とで共通である。第1 1 図の構成は、1つの優先度レベルに大別され、これらの優先度は総線で区分して示す、また送信の専有上必要な入力制御回路126(236)、出力制御回路143(244)も併せて描いておく。第1 1 図の左端が入力側1 N（第8 図の入力信号線1）、第2 図の拡張部3 0にそれぞれ接続する）であり、第1 1 図の右端が出力側0 U（第8 図の拡張部3 0、第3 図の出力信号線2 2にそれぞれ接続する1）である。

シフトレジスタ886(137/255) にパケットが入力されると、パケット乗降部Rが入力制御回路136(236)に通知され、またその優先度Pが優先度格納レジスタ(49-402)314に格納される。入力制御回路26(236)454レジスタ511を比較値

とし、その優先度Pを一方フリップ・フロップ(FF)312(クロックで動作)でラッチしたのち、抽出ポインタテーブル(WPT)312をアクセスする。これにより抽出するポインタを指定する（第1 0 図の入力ポインタテーブル135(237)のアドレスの、①一対照）。指定されたポインタ（アドレス）は、入力制御回路136(236)からの抽出指令をR/W（Read/Write）線を通じて受け、そのポインタに示されるアドレスをフリップ・フロップ314 で一旦ラッチしたのち、RAM321および受信部（R/W）3215に印加する。加算器315はそのポインタ（アドレス）を1ずつインクリメントし、抽出テーブル315に印加することにより、第1 0 図で説明したごとく、今指定されたメモリ領域をサイクリックにアクセス可能とする。なお、加算器315 からのアドレスの到達地は、R/W線1線を入力入力制御回路136(236)からの書き込み命令により与えられる。

次にポインタテーブル315より出力されたアドレスはRAM321に与えられるアドレス指定を行う。これ

(41)

(42)

特開昭83-226151 (12)

と同時に入力制御回路136(236)からのデータ選択クロックもW/Cにより、タイミング制御部134を介し、レジスタ137(235)内のバケットをRAM321に書き込む。

タイミング制御部144(242)内の前記タイミング回路341は、順次クロックCを各分周したクロックKとこれをインバータにより反転したクロックでWとを出力する。クロックCは前記タイミング回路W/Cをなし、反転クロックCは前記出力タイミング信号W/Cをなす。これらのタイミング信号により番地アドレスゲート342および出力アドレスゲート343が交互に開閉する。これによりバケットの番地と番地をバケットの読み出しがRAM321内で同時発生することを防止する。なお、ゲート342は第8回のゲート138、第9回のゲート139に对应し、ゲート343は第8回のゲート162、第9回のゲート164に对应する。

一方、優先順位格納レジスタ311に格納された優先順位は、アドレスゲート322を介しRAM部113(313)内のバケット制御テーブル197(324)を

よびデコード部196(324)に与えられる。その優先順位は、テーブル324内の対応するバケット数値196番地をアクセスし、高次バケット数値を番地デコードはフリップ・フロップ325で一旦ラッチされたもの、比較部197(325)に印加され、また、ゲート327(W/Cにより開となっている)を介し加算器1A D + 1 330に印加される。比較部327からの出力はターミナル328(325)を制御する。すなわち、先のバケット数値196(324)をアクセスした優先順位を番地デコードしたデコード325でデコードし、この優先順位に对应するターミナル328の所定ビット位置に、「1」を立てる。この「1」はRAM321内の対応メモリ番地にバケットが書き込まれたことを示す。

一方、上記の加算器330は先の優先順位に对应するバケット数値を1だけインクリメントし、再び同じ優先順位に書き込む。このとき、前記のW/Cによりゲート326が開となっている。

ターミナル328における前記所定ビットの「1」は、「バケット番号」を示すバケット番号

(43)

(44)

信号P Rとして出力制御回路145(244)に送られる。「バケット番号」を制御した出力制御回路145(244)は、出力タイミングテーブル153(243)内の優先順位格納レジスタ(P-R)351を比較対象とし、ターミナル335の所定ビット位置(「1」が置いている)に对应する優先順位をエンコード部196(324)により再し、高次レジスタ325に格納する。さらにこの優先順位をフリップ・フロップ325で一旦ラッチされたもの、対応する出力タイミングテーブル197(325)に對するアドレス指定を行い、次にRAM321内にバケットが書き込まれているメモリ領域を番地インデックス出力する。なお、このインデックス、R/W 3 信号を介して出力制御回路145(244)からの命令で読み出され、さらにフリップ・フロップ334で一旦ラッチされたもの、今度はタイミング信号R/Tにより開となっている読み出しアドレスゲート143を通過してRAM321に与えられる。RAM321は、そのインデックスにより示されるバケットを、データ読出しクロックD R Cに從って読み出し、出力側O U Tに送出する。

読み出しインデックステーブル353から出力されたタイミング(アドレス)毎加算器(A D + 1)335で1だけインクリメントされ、再び先の位置に書き込まれる。

優先順位格納レジスタ351からの出力は、地方、読み出しタイミング信号R/Tにより開となっているゲート323を通過して、バケット数値制御テーブル324内の対応するバケット数値制御部をアクセスし、高次バケット数値を読み出し、比較部327に加算器330に送る。このとき、読み出しタイミング信号R/Tにより、インバータ付ゲート329およびゲート328が開となっている。比較部331に与えられたバケット数値は、今開となっているゲート332を介して与えられる。高次レジスタ331からの最大バケット数と比較され、最大値が選ばれる。ターミナル335の所定ビット位置を「1」にリセットする。また同時に、その事実をH A X 通知として、入力制御回路136(236)に与え、入力を停止する。これにより、RAM321内の各メモリ領域がバケットで一杯になったとき、次に来るバケット

(45)

(46)

によりもたらされるバケットが増減されるのを抑止する。もし、最大値に達していない場合は、現状の位置を引続き保持する。

上記インバートゲート329 を通して転送されるバケット数は、そのインバートの作用により第3部339 で1ずつデクリメント（減算）され、さらにインバートゲート328 で除算モジュール24 内に対応した位置に書き込まれる。

上記データエントリ235 における各ビット位置の“1”、“0”で示されるバケットの優先順位は、図9のBとして出力制御回路143(244)に与えられ、ここで優先順位の低い順にバケットが送出されるよう制御され、これに基づいて優先順位の低いものが先行して出力側のロウに送出される。

バケットを出力側のロウに送出するに、データエントリ235 におけるビット位置に示される「バケット番号」のビットが、その送出手のバケットより優先順位の低いビットであると、既述した、第1のバケットに対する第2のバケットの読み所を

しなす必要はない。この読み処理は次のように行われる。

第12図は送出手の出力側の優先順位格納レジスタ351 の格納を示す回路図である。第1のバケットの読取時に、優先順位の低い第2のバケットを切り込めるために、出力制御回路143 は、送出手の第1のバケットの優先順位を、優先順位格納レジスタ351に一旦格納する。これはR/W4線からの書き込み命令によってなされる。この場合、送出手の第1のバケットの優先順位は優先順位レジスタ412 に格納されているものであり、フリップ・フロップ412 を介して優先順位格納レジスタ351に書き込む。このときのdata14へのアドレスは、カウンタ415 により与えられ、書き込み後、+1デクリメントされる。このインクリメント命令はU/D0 (Up/Down) 部を介して与えられる。

次に新たに入って来た優先順位の低い第2のバケットの優先順位は、エンコーダ336 より出力されており、ゲート411 を指令331 によって与えることにより、レジスタ412 に格納される。この

(47)

(48)

場合、出力制御回路143 の制御のもとで、バケット読取りフラグ発生器122(第4図)を動作状態にし、バケット読取りフラグ1Fを送出せしめ、この1Fに引き続き第2のバケットが送出される（前述）。この伝送の終了時に既述したとおり、通常フラグが付け加えられる。

この際、出力制御回路143 域、常時カウンタ415 の内容を監視し、優先順位格納レジスタ351内に、待受中の優先順位があるか否かを調べる。もし優先順位があれば、これを1だけデクリメント（減算）(U/D0線からの指令による)した値をもって、アドレスとなり、このアドレスでRAM414に待受中の第1のバケットの優先順位を読出す。さらに、指令331 によって開となったゲート416 を通して、第2の優先順位格納レジスタ412 に格納される。これにより、中断されていた第1のバケットの、RAM321からの読み出しが再開される。

第12図に送出手の出力側の優先順位格納レジスタ351 の具体例を示したが、受取系における入力側の優先順位格納レジスタ311 の構成も第12

図の構成とほぼ同様である。第13図は受取系の入力側の優先順位格納レジスタ311 の構成を示す回路図である。また、送取系の入力側の優先順位格納レジスタ311 域、第14図に示す構成とほぼ同じである。

第14図は受取系の入力側の優先順位格納レジスタ351 の具体例を示す回路図である。本図において、ゲート631 は出力制御回路244 からの指令で動作するゲートであり、エンコーダ336 からの優先順位を優先順位レジスタ612 に格納する。その優先順位は、既述の読出しデクリメント323 およびバケット取捨選択テーブル224 に送られる。なお、送取系の入力側の優先順位格納レジスタ311 は、第14図中のエンコーダ336 をシフトレジスタ137 に置き換え、第14図中の出力制御回路244 を入力制御回路136 に置き換え、第14図中の353 を書き込みデクリメント部313 に置き換えたものに似ている。

(49)

(50)

符号略33-220151 (14)

〔発明の動機〕

以上説明したように本発明によれば、伝送効率を向上させることなく、優先度の高いパケットを優先度の低いパケットに押し寄せて伝送することができる。

も、送風の形態を説明

第1図は本発明に係る送信パケット送信システムの構成を示す図、

第2図は本発明に係る多量パケット送信システムの構成を示すブロック図、

第3図は本発明に係る送信パケットの伝送フォーマット例を示す図、

第4図は送信系における動作を説明するための状態遷移図、

第4及び第5図は送信系における動作を説明するための状態遷移図、

第5図は本発明に基づく第1実施例に係る送信系を示すブロック図、

第6図は本発明に基づく第2実施例に係る送信系を示すブロック図、

第7図は本発明に係る第1以上のパケットフォーマット例、

第7図は送信レジスタ332の出力でのパケットフォーマット例、

第7図は優先度決めのない場合の伝送第30上におけるパケットフォーマット例、

第7図は優先度決め優先度の伝送第30上におけるパケットフォーマット例、

第8図は本発明に基づく第2実施例に係る送信系を示す図例、

第9図は本発明に基づく第2実施例に係る送信系を示す図例、

第10図は入力部と入力タイミング制御部と出力タイミング制御部の関係を図解的に示す図、

第11図は第10図に図解的に示す構成を実現する詳細な一側例を示す図、

第12図は送信系の出力側の優先度優先レジスタ351の詳細を示す図例、

第13図は送信系の入力側の優先度優先レジ

(51)

(52)

スタ311の接続を示す図例、

第14図は送信系の出力側の優先度優先レジスタ351の接続例を示す図、

第15図は従来の多量パケット送信システムの出端ブロック図、

第16図は一態例のパケットフォーマットを示す図、

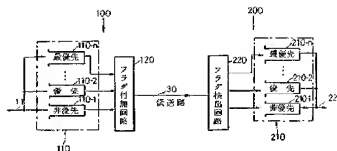
第16図は優先パケットに優先パケットが割り込まれた場合に優先パケットフォーマット例を示す図である。

図において、

- 30 …伝送路、
- 100 …送信系、
- 110 …パケットメモリ、
- 120 …フラグ管理回路、
- 130 …入力選択部、
- 140 …出力制御部、
- 150 …記憶部、
- 160 …出力選択部、
- 200 …受信系、
- 210 …パケットメモリ、
- 220 …フラグ管理回路、
- 230 …入力選択部、
- 240 …入力制御部、
- 250 …記憶部、
- 260 …出力選択部、

(53)

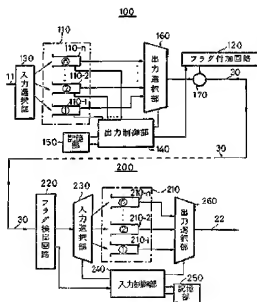
特開2003-226151 (15)



本発明に係る多重パケット送達システムの
構成例を示す図

第 1 図

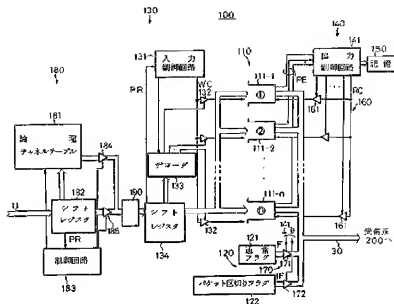
100... 送信系
110... 送信側
パケットメモリ
200... 受信系
210... 受信側
パケットメモリ



本発明に係る多重パケット送達システムの
基本構成を示すブロック図

第 2 図

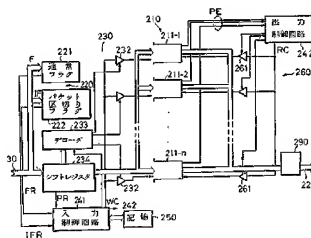
発明明63-226151 (17)



本発明に基づく第1実施例に係る回路図を示す回路図

図 5

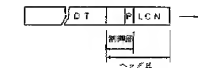
200



本発明に基づく第1実施例に係る回路図を示す回路図

図 6

特開昭63-228151 (18)



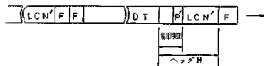
入力番号組11上でのパケットフォーマット図

第7A図



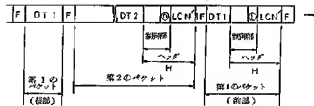
ソフトレジスタ134の入力での
パケットフォーマット図

第7B図



優先判定のない場合の伝送路30上
におけるパケットフォーマット図

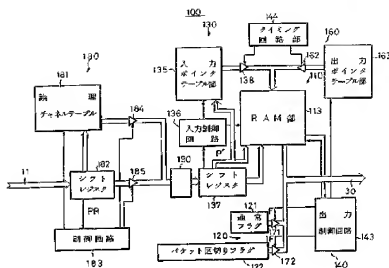
第7C図



優先判定が発生時の伝送路30上における
パケットフォーマット図

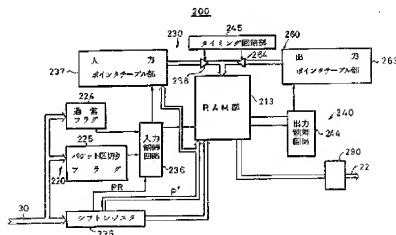
第7D図

特開昭63-226151 (18)



本発明に基づく第2実施例に係る送受信系を示す回路図

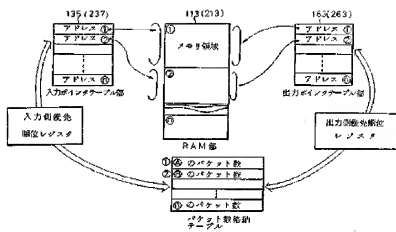
第 8 図



本発明に基づく第2実施例に係る受信系を示す回路図

第 9 図

特開昭63-226151(20)



RAM部と入力ポインタテーブル部と出力ポインタ
テーブル部の関係を図解的に示す図

第10図

特開 63-228151 (21)

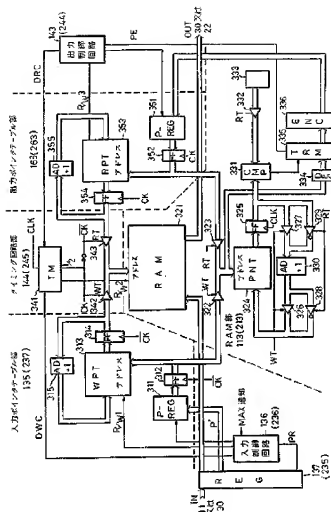


図 11 図は図 10 の符号化信号処理装置の
使用する回路を一部抜粋したものである。

第 11 図

特開 2003-226151 (22)

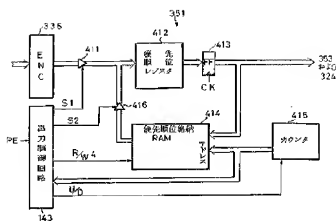


図 12 逆送系の送先順位格納レジスタ 335 の詳細を示す図

第 12 図

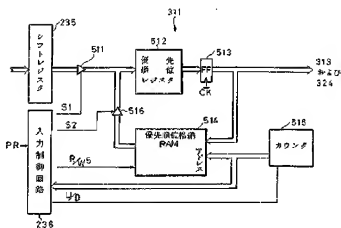
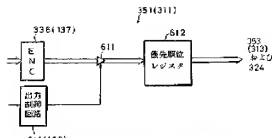


図 13 送先順の入力順の優先順位格納レジスタ 311 の詳細を示す回路図

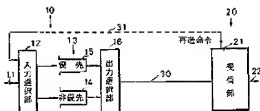
第 13 図

特開昭63-228151 (23)



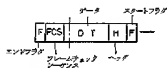
受信系の出力側の優先順位格納レジスタ351の具体例を示す図

第14図



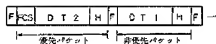
従来の多重パケット送附システムの概略ブロック図

第15図



一般的なパケットフォーマットを示す図

第16A図



非優先パケットに優先パケットが割き込んだ場合の従来のパケットフォーマット例を示す図

第16B図

図 0181-226151 (24)

第 1 頁の続き
 ◎発 明 者 叶 内 頼 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
 ◎発 明 者 福 田 治 国 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
 内